



Espacenet

## Bibliographic data: JP10051402 (A) — 1998-02-20

## RECEPTION ELECTRIC FIELD DETECTION CIRCUIT

Inventor(s): OGORO KAZUO <sup>+</sup>Applicant(s): NEC CORP <sup>+</sup>

Classification: - international: **H04B1/10; H04B1/16; H04B17/00; H04B7/005;** (IPC1-7): H04B1/10; H04B1/16; H04B17/00; H04B7/005

- European: H04B17/00B1R

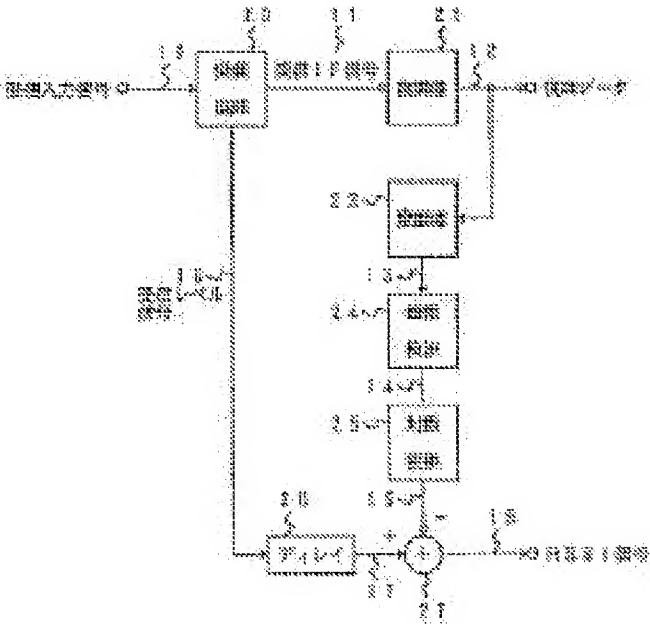
Application number: JP19960203624 19960801

Priority number(s): JP19960203624 19960801

Also published as: GB2315966 (A) US6011963 (A) AU3243097 (A)  
AU721938 (B2)

## Abstract of JP10051402 (A)

PROBLEM TO BE SOLVED: To provide a reception electric field detection circuit for a receiver by which a response is made at a high speed. SOLUTION: A reception input signal 10 is received by a reception circuit 20 and a demodulator 21 and demodulated data 12 and a reception level signal 16 are obtained. A modulator 23 synthesizes again a modulation signal 13 from the demodulated data 12 demodulated once and an amplitude detector 24 detects the amplitude component to extract a level fluctuation of a modulation component of a received wave. The level fluctuation component and the reception level signal of the received wave are cancelled together by an analog subtractor 27 to cancel a level fluctuation resulting from the modulation component of the received wave so as to follow the rapid level fluctuation in the received wave.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-51402

(43)公開日 平成10年(1998) 2月20日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B	17/00		H 0 4 B 17/00	J
	1/10		1/10	Z
	1/16		1/16	R
	7/005		7/005	

審査請求 有 請求項の数4 O L (全 9 頁)

(21)出願番号 特願平8-203624

(22)出願日 平成8年(1996) 8月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 尾畑 和夫

東京都港区芝五丁目7番1号 日本電気株式会社内

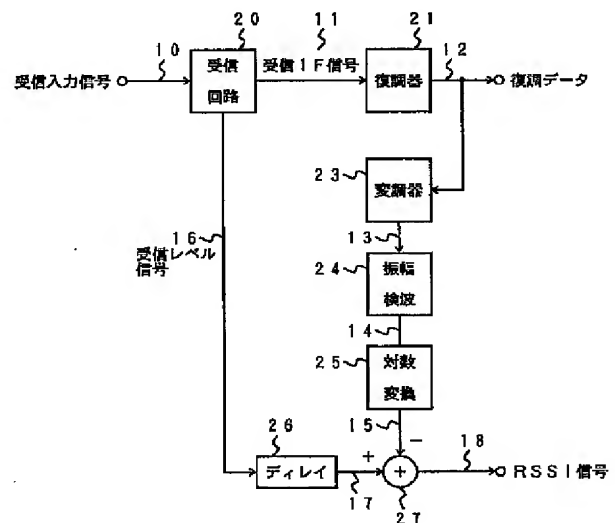
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 受信電界検出回路

(57)【要約】

【課題】応答時間を高速化する受信機の受信電界検出回路の提供。

【解決手段】受信入力信号10は受信回路20と復調器21で受信され、復調データ12と受信レベル信号16とを得る。いったん復調した復調データ12から変調器23にて、変調信号13を再合成し、その振幅成分を振幅検波器24で検波し、受信波の変調成分によるレベル変動分を取り出す。そのレベル変動分と受信波の受信レベル信号とをアナログ減算器27で打ち消し合わせることで、受信波の変調成分に由来するレベル変動をキャンセルし、受信波の急激なレベル変動に追随する。



**【特許請求の範囲】**

【請求項1】 受信機の受信レベル信号から、復調データから再合成した変調波の振幅情報を減算することにより、受信レベル信号を出力することを特徴とする受信電界検出回路。

【請求項2】 前記復調データから変調波の波形をあらかじめROMに記憶させることを特徴とする請求項1記載の受信電界検出回路。

【請求項3】 復調データから再度変調波を生成する変調器と、変調波からその振幅成分を検出する振幅検波器と、振幅信号のスケールを受信回路の出力する受信レベル信号に合わせる対数変換器と、受信器が出力するRSSI信号のタイミングを再生した振幅信号に合わせる遅延回路と、振幅信号と受信レベル信号との差分を取る減算器とを有することを特徴とする受信電界検出回路。

【請求項4】 受信機の受信レベル信号をA/D変換することにより、前記減算器をすべてデジタル回路で構成することを特徴とする請求項3記載の受信電界検出回路。

**【発明の詳細な説明】****【0001】**

【発明の属する技術分野】本発明は受信電界検出回路に関し、特に応答時間を高速化する受信電界検出回路に関する。

**【0002】**

【従来の技術】従来、受信電界検出回路（またはRSSI回路）は、受信機が現在の受信電界（または受信レベル）を正確に検出するために用いられている。

【0003】図6は従来の受信電界検出回路の一例を示すブロック図である。受信入力信号100は、受信回路200によって受信IF信号110に変換され、復調器210によって復調データ120が得られる。

【0004】一方、受信回路200は受信入力信号100の強さの情報として、受信レベル信号160を出力する。この受信レベル信号160は、一般的には受信回路200に含まれるIF増幅回路から出力される。

【0005】この受信レベル信号160は、FM変調では一定値を持つが、AM変調やPSKなどの振幅が変動する変調方式では、変調内容によって変動分を持つ。従って、変調内容に依らずに受信入力信号100の強度に比例したRSSI信号180を得るためには、LPF220を通して平滑する必要がある。これにより、変調内容による振幅成分の変動分を平均化し、変調内容に依らない値とすることができる。

【0006】この種の受信機は、例えば特開平4-56529号公報に記載されている。

【0007】LPF220は、振幅変動による受信レベルの変動を抑えるためにはなくてはならないものであり、例えば特開平3-291027号公報では、移動体通信システムでの必要に応じてこのLPFの時定数を切

り換える技術が記載されている。

**【0008】**

【発明が解決しようとする課題】しかしながら、受信レベル信号160をLPF220に通すため、出力されるRSSI信号180の波形がなまるため、従来の技術においては受信入力信号100の急激なレベル変動に追従できない。

【0009】しかし、受信入力信号100の変動に追従できるようにするためにLPF220の時定数を小さくして波形のなまり方が小さくなるようにすると、変調によるレベル変動成分が無視できなくなり、RSSI信号180にレベル変動成分が乗るなどの誤差を生ずることになる。

【0010】また、LPF220により、受信レベル信号の時間応答が遅くなり、従来の技術においては、電源投入からの受信回路の立ち上がり時間が短くできない。このため、受信回路を立ち上げるタイミングにおいて、必要とされるタイミングの時に受信レベルが十分収束しているためには、早めに受信回路の電源を入れておかなければならない。

【0011】図7は、間欠受信時の電源投入の様子を示すタイミング図である。図7に示すように、最近の移動体通信でよく使われる待ち受け受信のような、受信を間欠的に行うシステムでは、上記のような立ち上がり時間の遅い受信回路を使うと、全時間に対するON時間の割合が大きくなり、平均消費電流が小さくできなくなる。

【0012】本発明の目的は、いったん復調した復調データから変調波を再合成してその振幅成分を検波し、受信波の受信レベル信号と打ち消し合わせることで、受信波の変調成分によるレベル変動をキャンセルする受信電界検出回路を提供することにある。

**【0013】**

【課題を解決するための手段】前述した問題点を解決するため、本発明の高速応答受信電界検出回路は、振幅波形を平滑化するLPFを使うことなくRSSI信号を出力する。

【0014】より好ましくは、復調データから再度変調波を生成する変調器と、変調波からその振幅成分を検出する振幅検波器と、振幅信号のスケールを受信回路の出力する受信レベル信号に合わせる対数変換器と、受信器が出力するRSSI信号のタイミングを再生した振幅信号に合わせる遅延回路と、振幅信号と受信レベル信号との差分を取る減算器とを有する。

【0015】このように本発明は、いったん復調した復調データから変調波を再合成してその振幅成分を検波し、受信波の変調成分によるレベル変動分を検出する。そのレベル変動分と受信波の受信レベル信号とを打ち消し合わせることで、受信波の変調成分に由来するレベル変動をLPFを使うことなくキャンセルし、受信入力信号の本来のレベルをLPFを使うことなく得る。

【0016】このため、受信波の急激なレベル変動に追従することが可能である。

【0017】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して詳細に説明する。

【0018】図1は、本発明の一実施例を示す構成ブロック図である。

【0019】図1において、受信入力信号10は受信回路20に入力され、受信IF信号11と受信レベル信号16とが出力される。受信IF信号11は復調器21に入力され復調されて、復調データ12が出力される。

【0020】復調データ12は、受信機の出力として使われる一方、変調器23にも入力され、変調信号13を出力する。変調信号13は振幅検波器24に入力され、振幅信号14を出力する。振幅信号14は、対数変換器25に入力され、対数振幅信号15を出力する。

【0021】一方、受信回路20から出力された受信レベル信号16は、アナログ・ディレイ回路26に入力され、遅延受信レベル信号17を出力する。対数振幅信号15と遅延受信レベル信号17は、アナログ減算器27に入力され、RSSI信号18が得られる。

【0022】次に、図1に示した本発明の一実施例の動作を図2の波形図を参照して詳細に説明する。

【0023】受信入力信号10は受信回路20に入力される。ここで受信回路20は、一般的なスーパーヘテロダイン受信機のIF増幅部までを示している。

【0024】受信回路20のIF増幅部は、後段の復調器21が必要とするレベルまで、十分増幅されたIF信号として受信IF信号11を、信号強度として受信レベル信号16を出力する。この受信レベル信号16の電圧は、一般的に受信入力信号強度の対数に比例するように、すなわち、デシベル表示にしたときに直線的に比例するようにできている。

【0025】受信IF信号11の波形例を図2(a)に、受信レベル信号16の波形例を図2(c)に、それぞれ示す。図2の波形例はいずれも2相PSK信号を想定しているが、他のPSK信号であっても、AM変調であっても、動作は同様である。

【0026】受信IF信号11は、復調器21に入力され復調される。復調器21は、当該システムで使われるAMやPSK信号の復調を行い、復調データ12を出力する。復調データ12の波形例を図2(b)に示す。この例はPSK信号とデジタル変調方式の例であるため、明らかに復調データには受信レベルに依存しないが、例えばAM信号のようなアナログ変調方式であっても、一般的には受信回路20にはAGCが掛けられており、受信IF信号11になった時点で、受信レベルに依存する成分は含まれていない。

【0027】復調データ12は、受信機の出力として使われる一方、変調器23にも入力され、変調信号13を

出力する。受信レベルに依存しない復調データ12から作られた変調信号13もまた、受信入力信号10のレベルには依存しないから、復調データにのみ依存する一定レベルの信号となる。変調信号13の波形例を図2(e)に示す。

【0028】変調信号13は、通常のRF信号と同じだから(ただし周波数は任意である)、振幅検波器24でその振幅を検波し、振幅情報を取り出し、振幅信号14として出力する。これは変調信号13を包絡線検波すれば得られ、波形例を図2(f)に示す。

【0029】振幅信号14は、変調信号13の振幅に直線的に比例した信号であり、一方受信回路20の出力する受信レベル信号16は受信入力信号10の振幅の対数に比例した信号であるから、そのままではスケールが合わない。そこで対数変換器25に入力し、対数振幅信号15を得る。

【0030】この受信レベル信号16と対数振幅信号15の差を取れば、目的の信号は得られるが、対数振幅信号15の方は多数の回路を通過しているため、信号に遅延が生じる。従って受信レベル信号16の方に、この遅延に相当する程度のアナログ・ディレイ回路26を挿入して、時間を合わせる。もちろん、これらの遅延量が問題にならないシステムにおいてはこのアナログ・ディレイ回路26は不要になる場合もありうる。

【0031】アナログ・ディレイ回路26を通った受信レベル信号16は、遅延受信レベル信号17となり、アナログ減算器27にて対数振幅信号15との差を取って、最終的なRSSI信号18(図2(g))として出力される。

【0032】この構成においては、図6の第1のLPF22のような時定数回路がないため、各信号は受信波のレベル変動に高速に応答することができる。

【0033】次に本発明の第2の実施の形態の構成例について、図3を参照して説明する。

【0034】図3は、第2の実施の形態の構成を示すブロック図である。

【0035】図3は、図1の変調器23を、他のデジタル的に変調を掛ける手段に置き換えたものであり、具体的にはROM31、D/A32、LPF33がこれに相当する。

【0036】復調器21からの復調データ12と復調クロック47は、受信機の出力として使われる一方、ROM31に入力される。ROM31には、入力されるデータに応じて変調波のデジタル波形信号41を出力する。このデジタル波形信号は、アナログ波形を高速にサンプリングしたものに相当し、図2(h)のような波形をデジタルデータとして持っている。

【0037】このROMは、アナログ波形信号42を発生させるためのものなので、必ずしもROMである必要はなく、あらかじめ波形が関数で与えられる場合には、

DSPで直接演算して出力させることや、汎用デジタル回路でハードウェア的に実現させることも可能である。

【0038】この信号はD/Aコンバータ32で直ちにアナログ信号に変換され、図2(h)のようなアナログ波形信号42となる。

【0039】アナログ波形信号42はD/A変換されただけでは、階段状の波形となって高調波が多いため、LPF33によって余分な高調波を減衰させ、図2(i)のような変調信号13を得る。

【0040】変調信号13以降の動作は第1の実施例と同じである。この構成ではアナログ回路である変調器の代わりにROMとD/Aコンバータというデジタル回路で同じ機能を実現できるため、LSI化が可能になる。

【0041】次に、第3の実施の形態の構成例を説明する。

【0042】図4は、第3の実施の形態の構成を示すブロック図である。

【0043】先の第2の実施の形態の構成では、ROMに波形を記憶させていたが、ROMのデータは変調波形そのものでなくても構わない。例えば、振幅検波器24は波形の負の部分の正の部分に折り返す絶対値回路があれば実現できるが、それなら初めから振幅検波された波形を出力するようなデータにしておけば、振幅検波器24は不要となる。

【0044】同様に対数変換もあらかじめROMのデータを対数変換しておけば、対数変換器25も不要となる。

【0045】こうしてできた構成が第3の実施の形態の構成である。

【0046】図4において、復調器21からの復調データ12は、受信機の出力として使われる一方、ROM50に入力される。ROM50には、入力されるデータに応じた変調波の振幅をあらかじめ対数変換しておいた変調波の振幅のデジタル信号47を出力する。

【0047】この信号はD/Aコンバータ32で直ちにアナログ信号に変換され、変調波の振幅のアナログ信号48となる。

【0048】変調波の振幅のアナログ信号48はD/A変換されただけでは、階段状の波形となって高調波が多いため、第2のLPF33によって余分な高調波を減衰させ、対数振幅信号15を得る。

【0049】対数振幅信号15以降の動作は第2の実施の形態の構成例と同じである。この構成では振幅検波器と対数変換器の機能をROMのデータに含ませることにより、かなり回路を簡単に、しかもデジタル回路で構成することができる。

【0050】ゆえに、従来アナログ回路で構成していた回路のLSI化が容易になり、第1の実施の形態と比べてシステムの小型化、軽量化も可能になる。

【0051】次に、第4の実施の形態の構成例を説明す

る。

【0052】図5は、第4の実施の形態の構成を示すブロック図である。

【0053】先の第3の実施の形態の構成例では、ROMのデータをアナログ信号に変換したあとに減算していたが、受信回路20から出力される受信レベル信号16のデータをデジタルデータに変換すれば、減算もデジタル回路で構成できる。

【0054】こうしてできた構成が第4の実施の形態の構成である。

【0055】図5において、復調器21からの復調データ12は、受信機の出力として使われる一方、ROM31に入力される。ROM31には、入力されるデータに応じた変調波の振幅の大きさを対数変換した変調波の振幅のデジタル信号47を出力する。

【0056】一方、受信回路20が出力する受信レベル信号16は、A/Dコンバータ34で受信波のデジタルレベル信号43に変換される。

【0057】デジタルレベル信号43は復調器でのディレイを補正するためのディレイ回路35を通して遅延デジタルレベル信号44になる。

【0058】アナログ信号のディレイ回路は、実現するのが比較的困難であるが、このディレイ回路35は、デジタル信号であるため、例えばシフトレジスタで容易に構成することができる。

【0059】遅延デジタルレベル信号44と、ROM31から出力された変調波の振幅のデジタル信号48は、それぞれデジタルデータであるので、デジタル減算器36で差分を取り、デジタルRSSI信号45となる。

【0060】デジタルRSSI信号45は、直ちにD/A変換され、アナログRSSI信号46となり、LPFを通して余分な高調波が抑圧され、RSSI信号18が得られる。

【0061】この構成ではRSSI信号の処理をする部分をすべてデジタル回路で構成することができるため、LSI化等が容易な利点をもつ。

【0062】また、最近の通信機器では、受信回路から得られたRSSI信号をA/D変換してデジタルデータにし、制御部のマイコン部で読みとって利用する形態が増えてきている。このような場合、上記デジタルRSSI信号45をアナログ信号に変換する必要はもはやなく、D/Aコンバータ32と第2のLPF33は不要になる。

【0063】

【発明の効果】以上説明したように、本発明では、受信機においていったん復調した復調データから変調波を再合成してその振幅成分を検波し、受信波の変調成分によるレベル変動分を検出し、そのレベル変動分と受信波の受信レベル信号とを打ち消し合わせることで、受信波の変調成分に由来するレベル変動をLPFを使うことな

くキャンセルできるので、RSSI信号が受信波の急激なレベル変動に追随することが可能になる。

【0064】また、受信機の立ち上がり時間を短縮できるので、特に間欠動作をさせるような受信系において、消費電流の軽減を図ることができるようになる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す構成ブロック図である。

【図2】図1の各部における動作を示す波形図である。

【図3】本発明の第2の実施の形態の構成のブロック図である。

【図4】本発明の第3の実施の形態の構成のブロック図である。

【図5】本発明の第4の実施の形態の構成のブロック図である。

【図6】従来の受信電界検出回路のブロック図である。

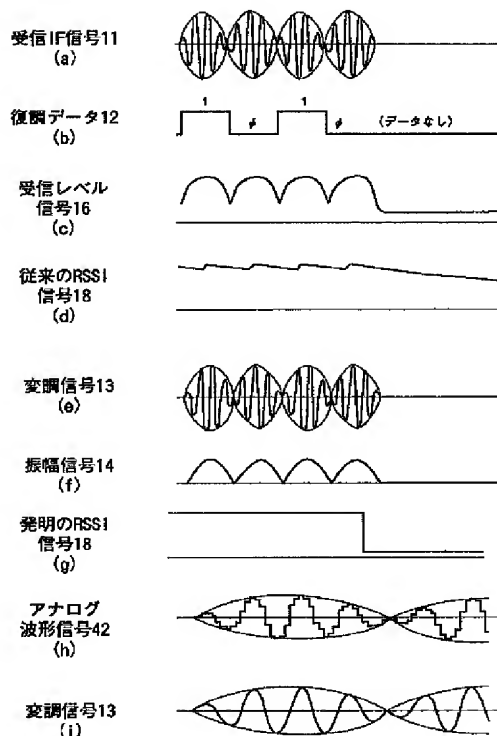
【図7】間欠受信時の電源投入タイミングを示す図である。

【符号の説明】

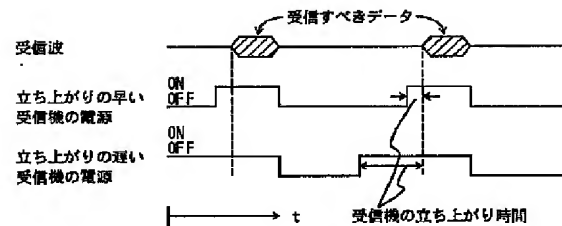
- 10 受信入力信号
- 11 受信IF信号
- 12 復調データ
- 13 変調信号
- 14 振幅信号
- 15 対数振幅信号

- 16 受信レベル信号
- 17 遅延受信レベル信号
- 18 RSSI信号
- 20 受信回路
- 21 復調器
- 23 変調器
- 24 振幅検波器
- 25 対数変換器
- 26 アナログ・ディレイ回路
- 27 アナログ減算器
- 31 ROM(変調波形を記憶出力)
- 32 D/Aコンバータ
- 33 LPF
- 34 A/Dコンバータ
- 35 デジタル・ディレイ回路
- 36 デジタル減算器
- 41 変調波のデジタル波形信号
- 42 変調波のアナログ波形信号
- 43 受信波のデジタルレベル信号
- 44 遅延デジタルレベル信号
- 45 デジタルRSSI信号
- 46 アナログ変換されたRSSI信号
- 47 変調波の振幅のデジタル信号
- 48 変調波の振幅のアナログ信号
- 50 ROM

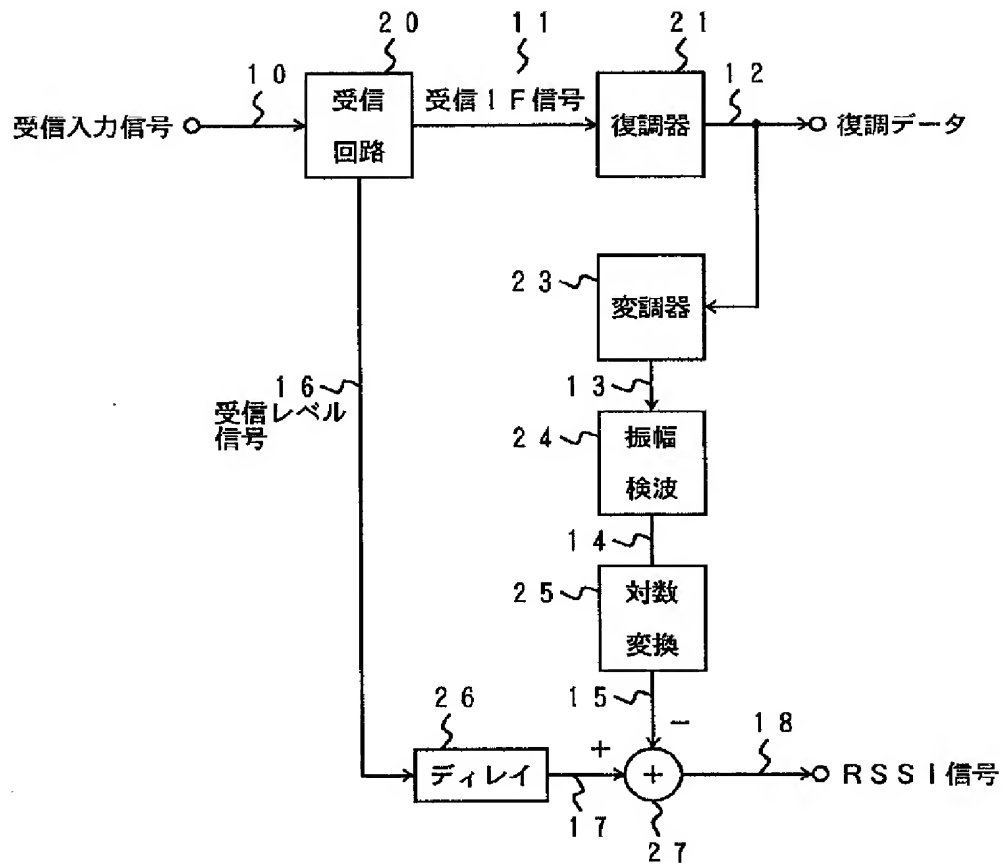
【図2】



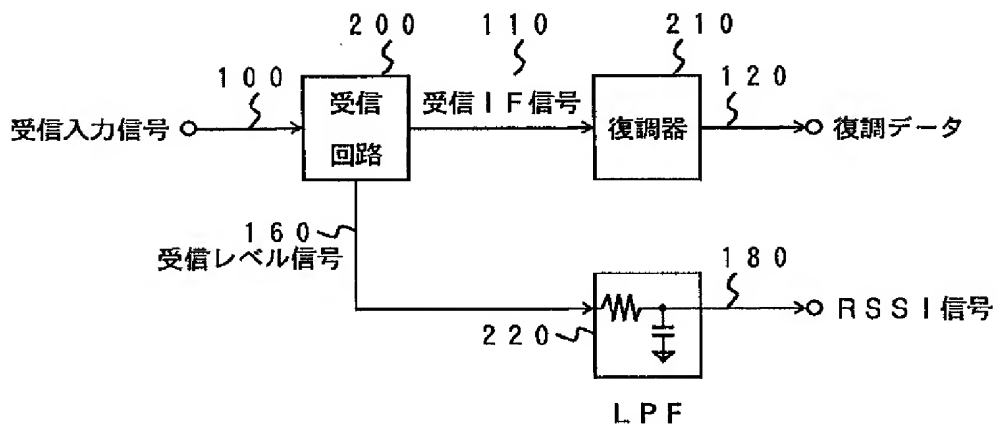
【図7】



【図1】

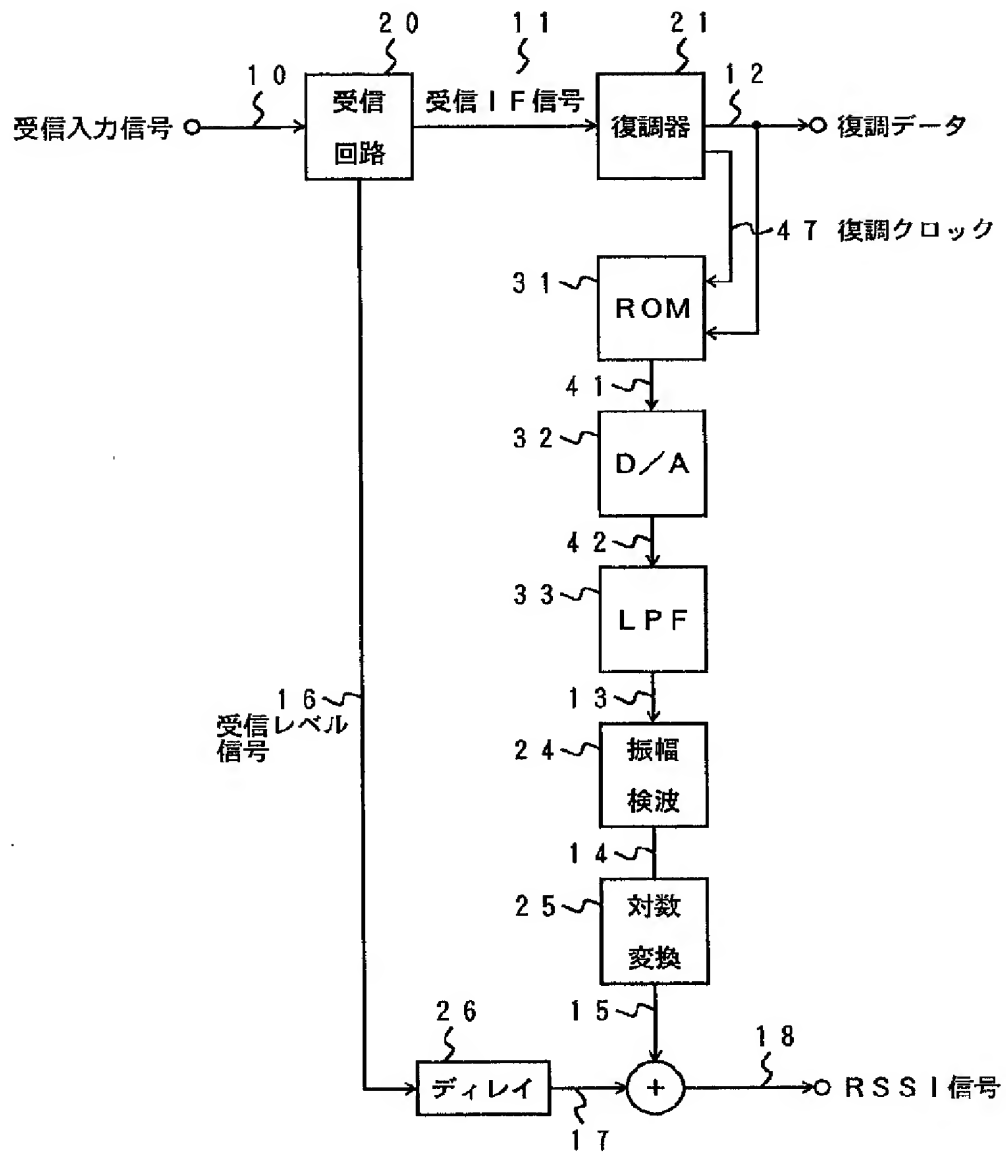


【図6】

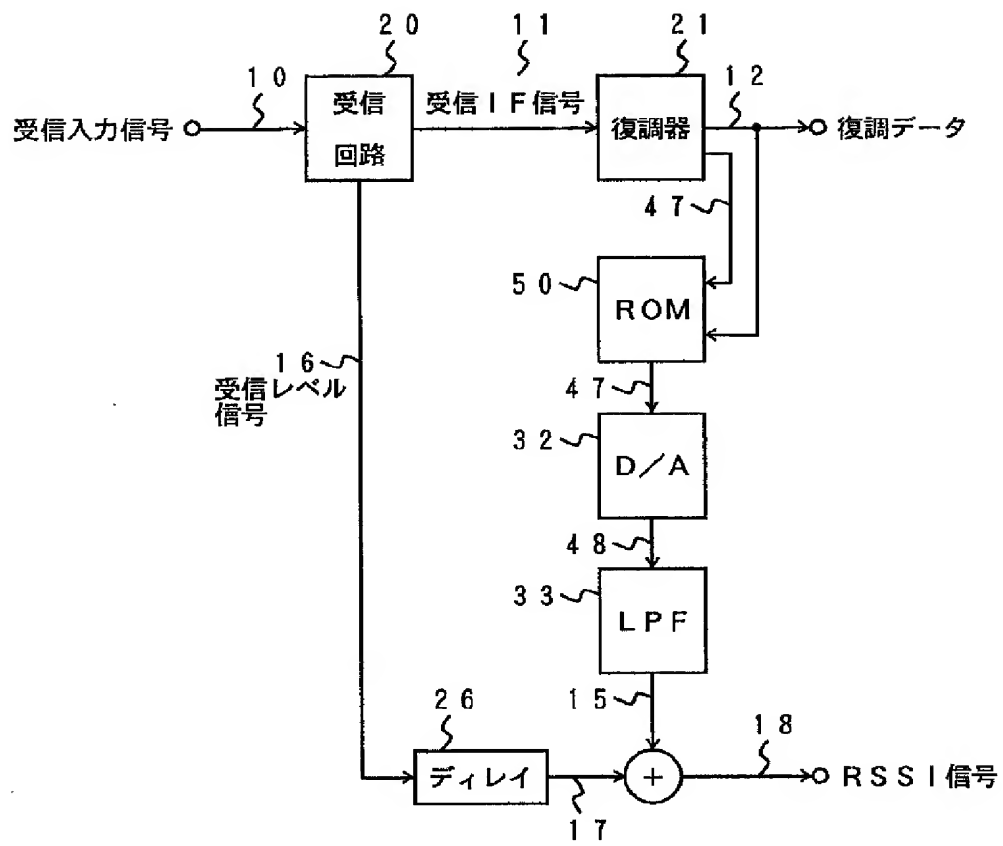




【図3】



【図4】



【図5】

